Predicción dinámica de saltos

La pérdida por predicción estática puede ser mayor en procesadores con muchas etapas o con despacho de múltiples instrucciones.

La predicción dinámica considera la historia del salto para comenzar la recuperación de instrucciones según su comportamiento.

El **buffer de predicción de salto,** es una pequeña memoria indexada por la dirección del salto.

Predictor de un bit

Dice si la última vez que se ejecutó el salto, éste fue tomado o no.

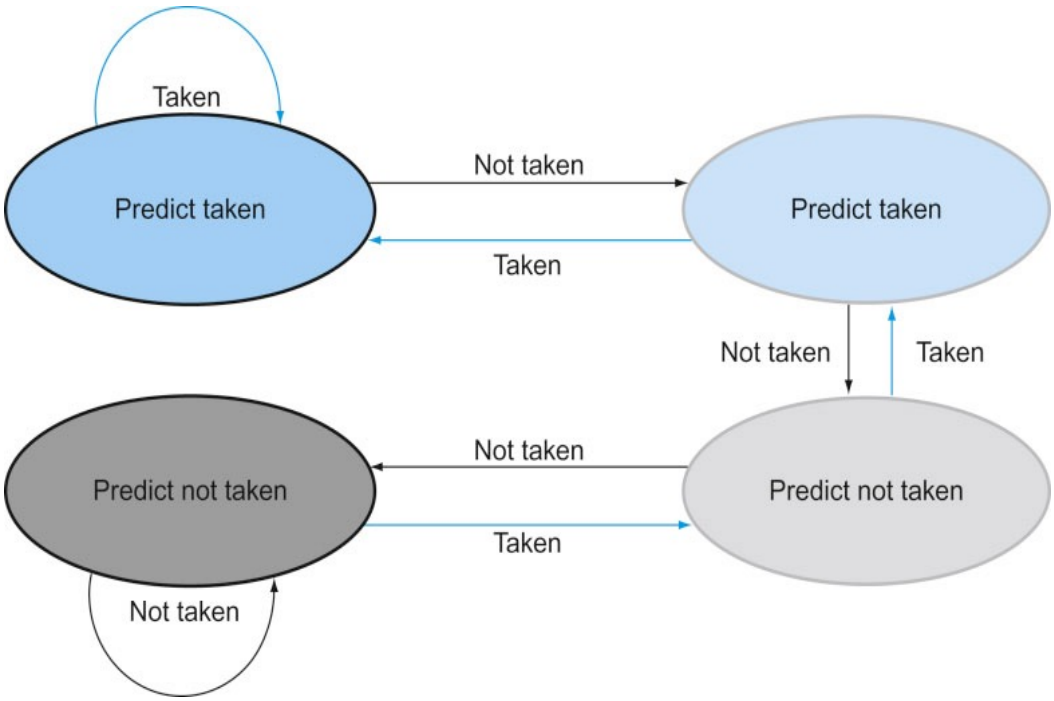
Presenta un problema de comportamiento:

Si un salto es regularmente **tomado**,
se puede predecir mal dos veces, no solo una,
cuando el salto es **no tomado**.

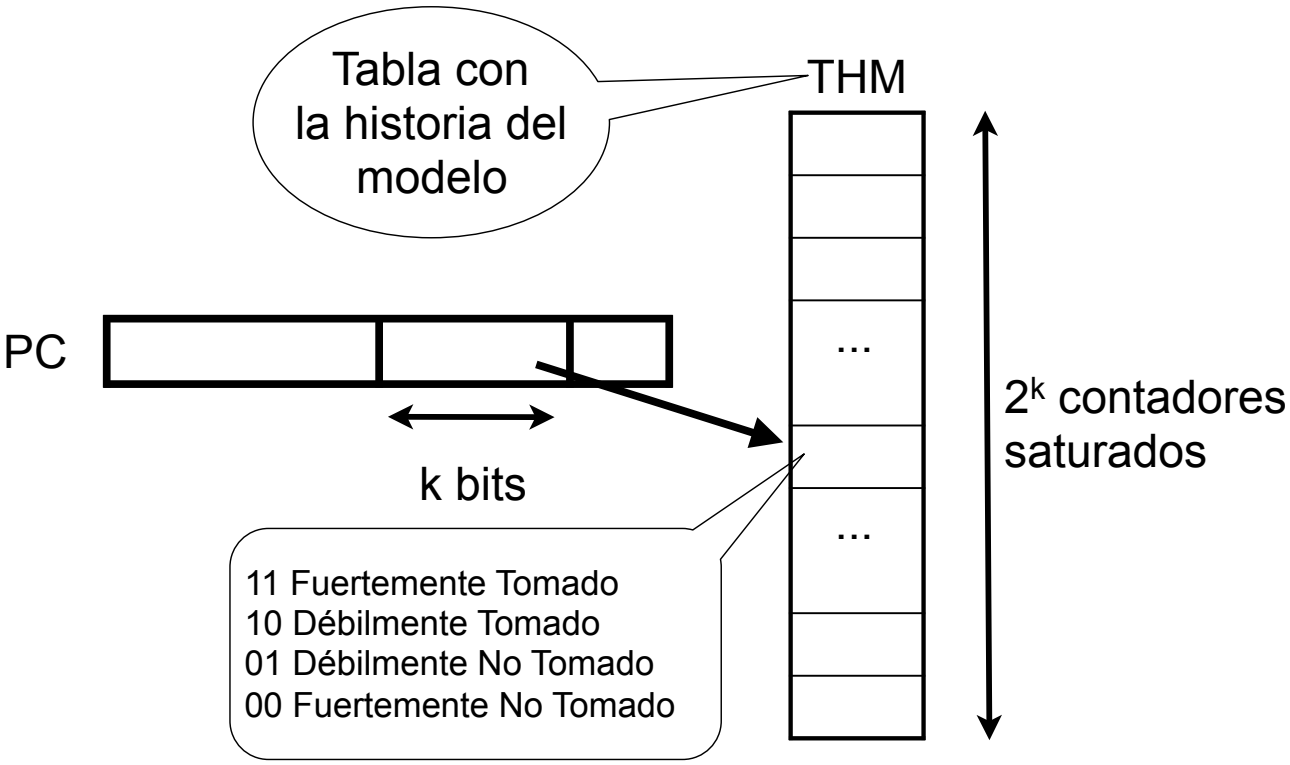
Ejemplo: 9 veces tomado, luego no tomado.

¿Qué exactitud tendrá el predictor de 1 bit?

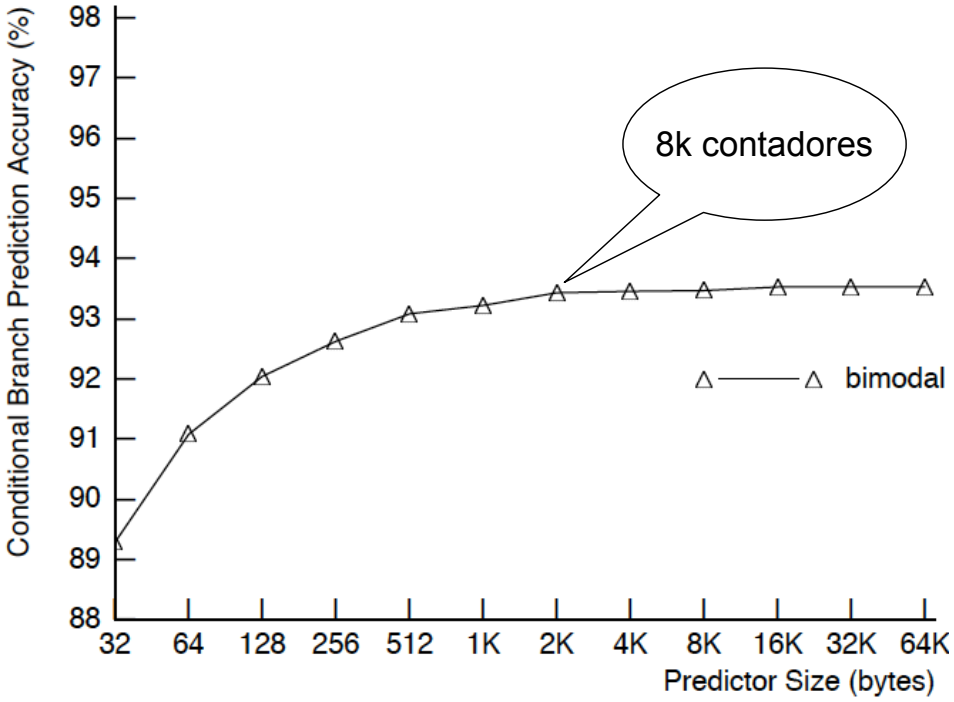
Esquema de predicción de 2 bits



Predictor Bimodal



Exactitud de un predictor bimodal en función del tamaño de su THM



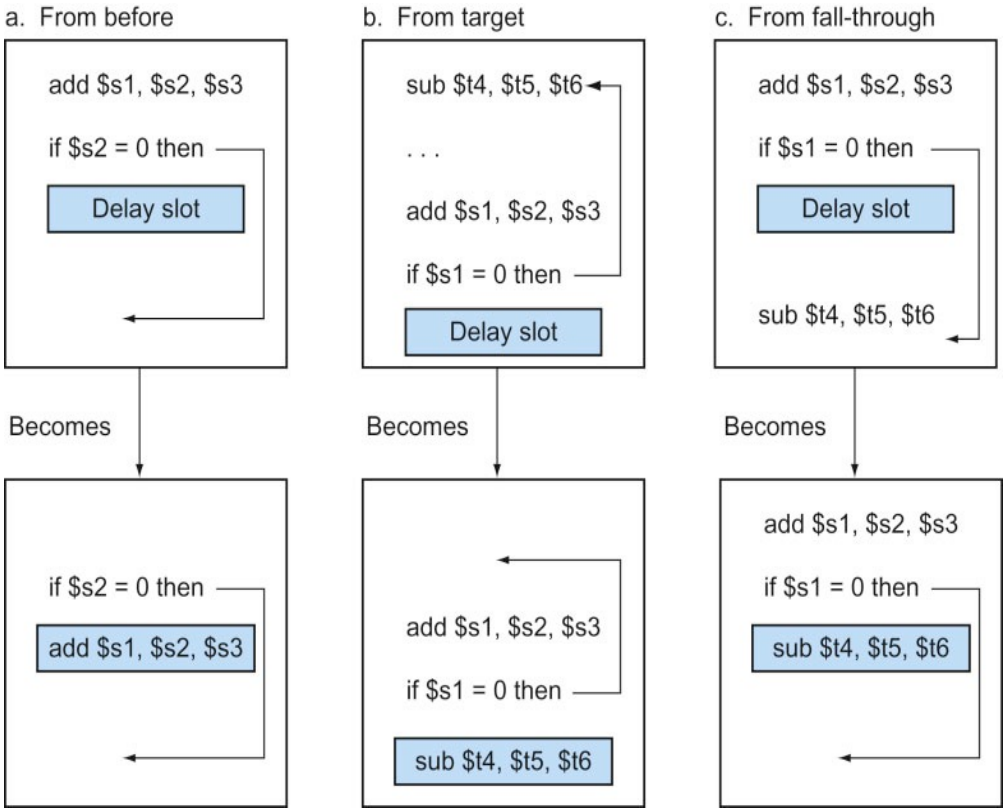
Salto demorado

Con el salto demorado siempre se ejecuta la instrucción inmediatamente después del salto, las demás instrucciones dependen del salto.

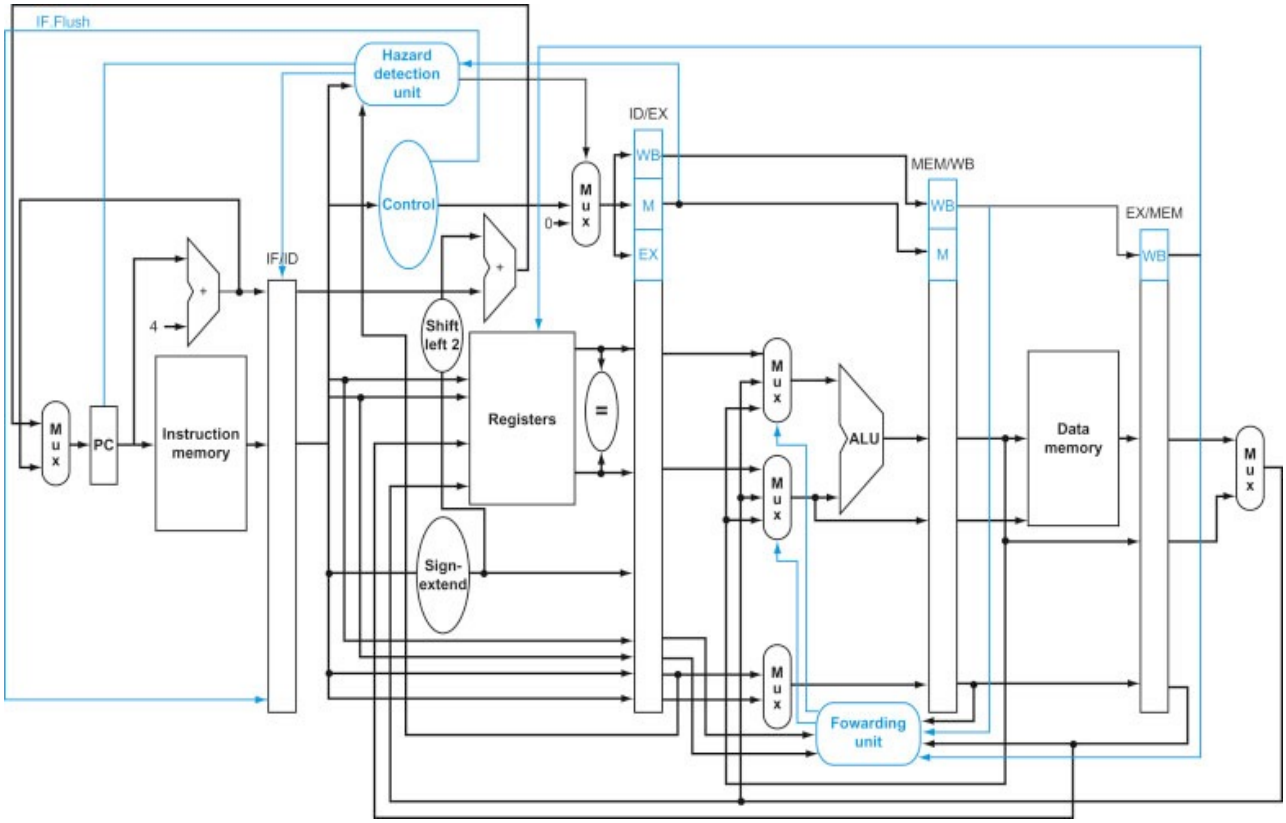
Se establece una franja (slot) de instrucciones que no son afectadas por el salto.

Los compiladores y ensambladores deben seleccionar instrucciones válidas y útiles para ubicar en la franja del salto demorado.

Planificación del salto demorado



Camino de datos y control final



¿Qué son las excepciones?

Excepción se usa para describir una condición excepcional que ocurre durante la ejecución de un programa. Similar a una interrupción.

Cambian el flujo de ejecución.

Se generan por eventos dentro o fuera del procesador.

Son síncronas (overflow) o asíncronas (e/s).

Las atiende una rutina: el manejador.

¿Cual es el problema que generan las excepciones?

¿Cómo se vuelve al programa interrumpido?

¿Puede una instrucción modificar el estado de la CPU de manera segura?.

Otras instrucciones pueden generar excepciones.

Son muchas las situaciones que pueden surgir.

Necesidad de tratar cada caso.

¿Generan alguna penalidad?

Excepciones

Implementación de excepciones o interrupciones

El origen puede ser interno o externo.

Tipo de evento	***Origen***	***Nombre en MIPS***
Dispositivo de E/S	Externo	Interrupción
Invocación al S.O.	Interno	Excepción
Overflow	Interno	Excepción
Op Cod desconocido	Interno	Excepción
Mal funcionamiento del hard	Externo	Excepción o Interrupción

Manejo de excepciones en MIPS

Pueden complicar el diseño lógico de la U.C.

Dos casos sencillos:

- Código de operación indefinido
- Overflow aritmético

Acción básica:

- Salvar la dirección en el *Exception Program Counter*
- Transferir el control al S.O.

El S.O. brinda un servicio o detiene el programa

Acción del Sistema Operativo

Si el programa debe continuar se usa el EPC.

Como informar que causó la excepción:

- Registro de la causa
- Vector

Mediante instrucciones especiales (RFE return from exception) se retorna de la excepción.

Si el pipe se puede detener y recomenzar se dice que tiene excepciones precisas.

Las excepciones precisas requieren que la instrucción interrumpida no cambie el estado del procesador y que no tenga ningún efecto.

Implementación

Se requieren dos registros.

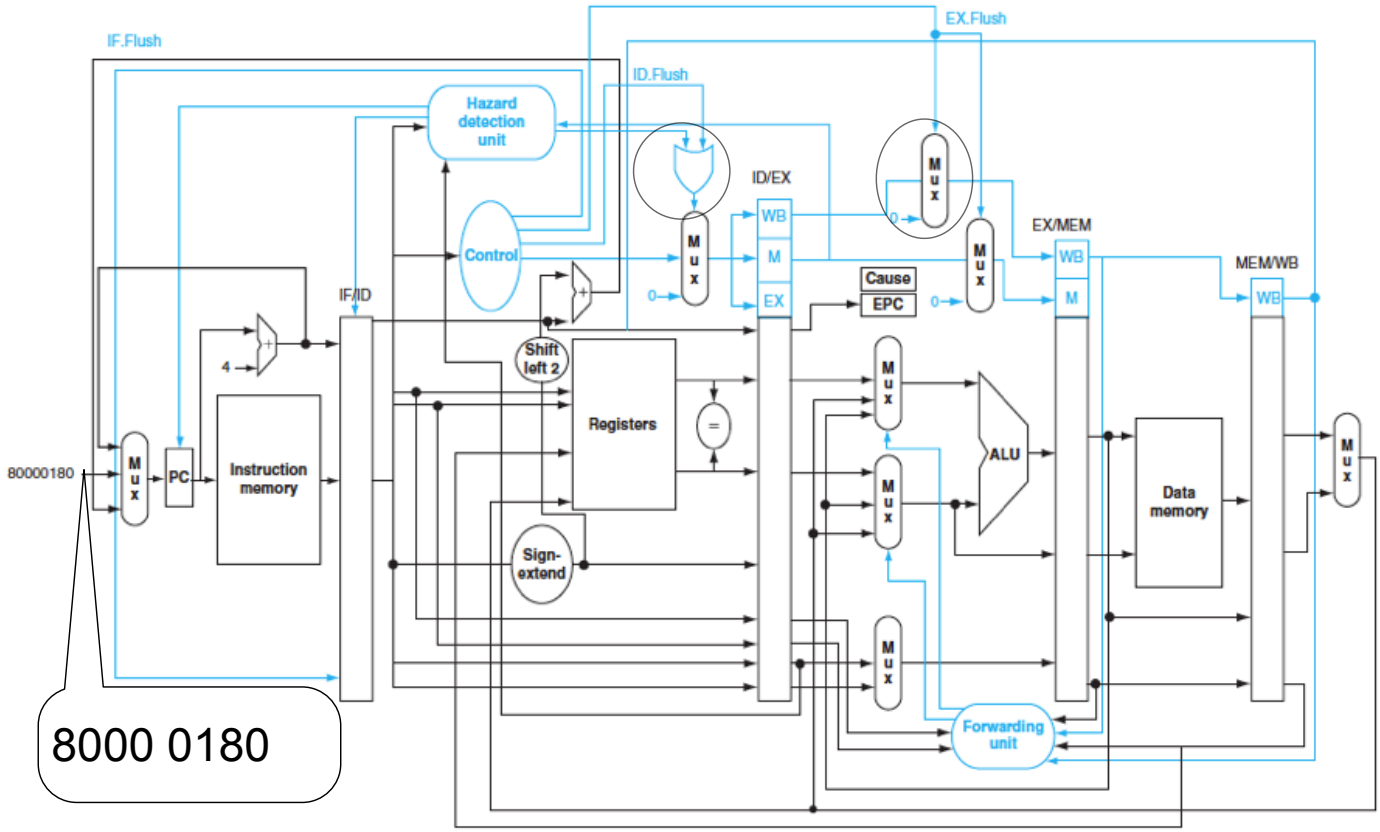
- EPC: dirección de la instrucción (32 bits)
- Cause: código de la causa.

Señal EX.Flush pone en 0 las señales de control.

Dirección de atención es otra entrada posible al PC.

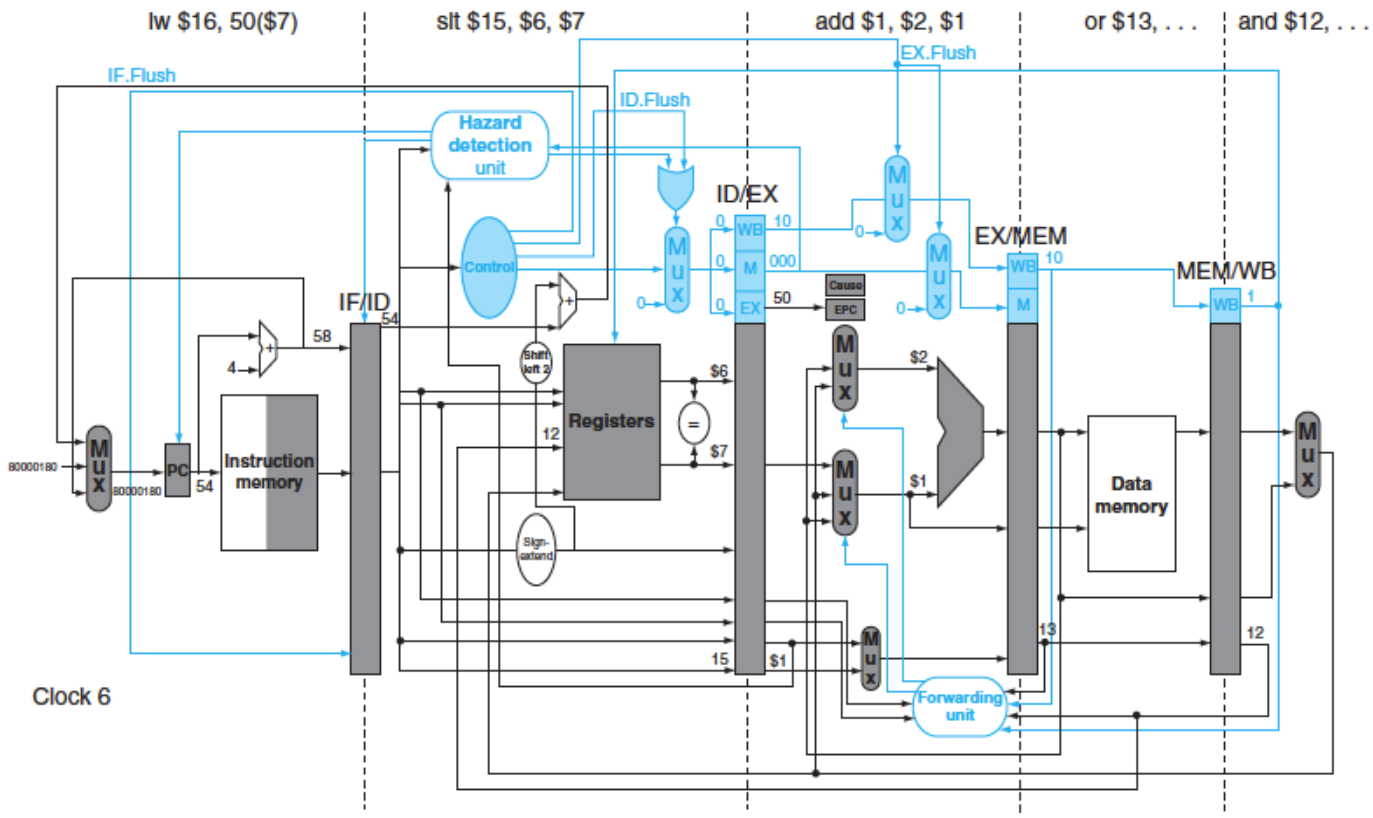
La rutina usa EPC-4 para manejar la excepción.

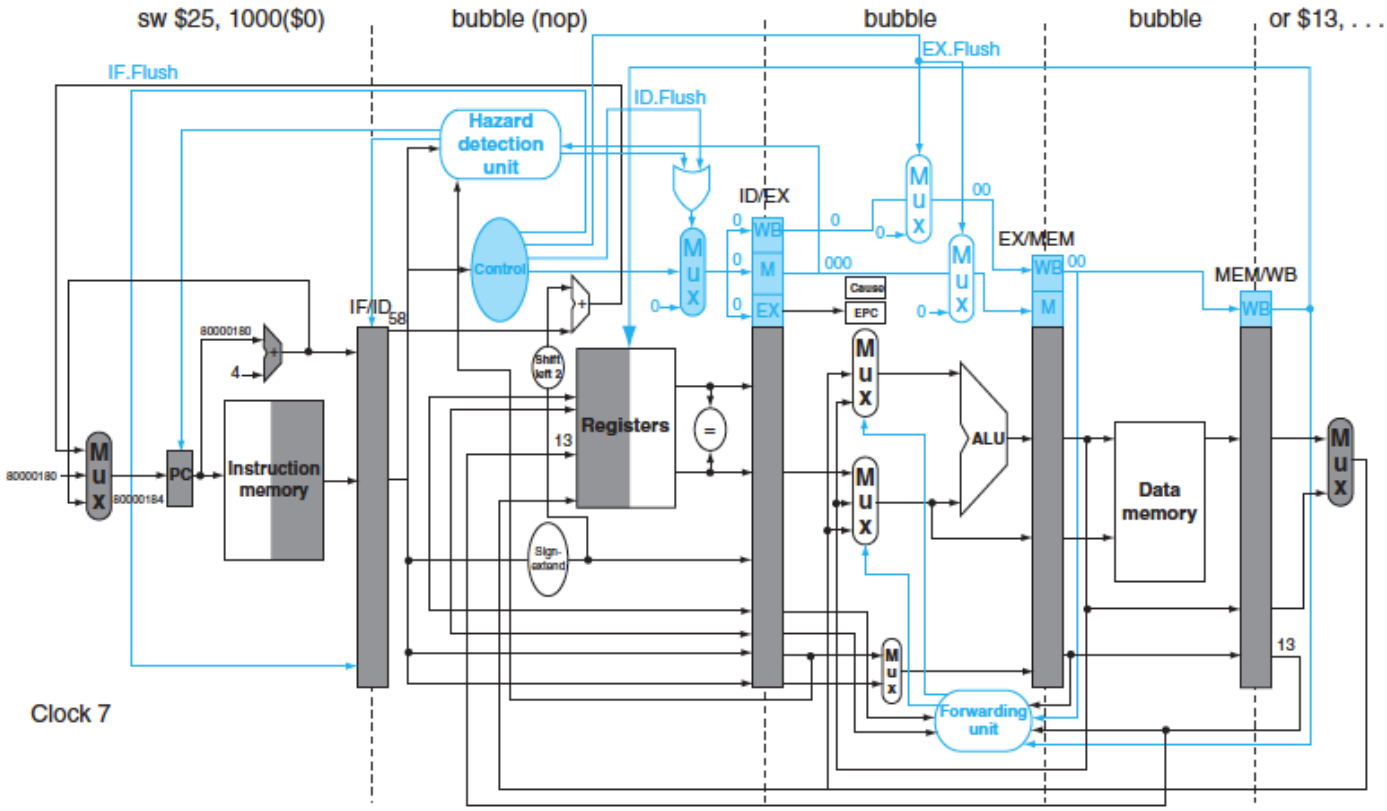
Se prioriza la instrucción que ingresó primero.



40_{hexa}	sub	\$11,	\$2,	\$4
44_{hexa}	and	\$12,	\$2,	\$5
48_{hexa}	or	\$13,	\$2,	\$8
$4C_{hexa}$	add	\$1,	\$2,	\$1
50_{hexa}	slt	\$15,	\$6,	\$7
54_{hexa}	lw	\$16,	50(\$7)	
...				

80000180_{hexa}	sw	\$25,	1000(\$0)
80000184_{hexa}	sw	\$26,	1004(\$0)
...			


lw $16, 50($7)
slt $15, $6, $7
add $1, $2, $1
or $13, . . .
and $12, . . .
IF.Flush
ID.Flush
EX.Flush
Hazard detection unit
Control
ID/EX
EX/MEM
MEM/WB
IF/ID
Registers
Instruction memory
Data memory
PC
Forwarding unit
Clock 6


sw $25, 1000($0)
bubble (nop)
bubble
bubble
or $13, . . .
IF.Flush
ID.Flush
EX.Flush
Hazard detection unit
Control
ID/EX
EX/MEM
MEM/WB
IF/ID
Registers
Instruction memory
Data memory
ALU
PC
Forwarding unit
Clock 7

Correspondencia excepción-instrucción

Hay 5 instrucciones en el pipe:

¿Cuál generó la excepción?

Pueden haber varias excepciones en el mismo ciclo.

Una pista es saber en que etapa puede ocurrir una determinada excepción.

Se usa EPC para ubicar la instrucción.

Las excepciones se coleccionan en Cause

¿Qué vimos?

Salto demorado: evita toda penalidad planificando la franja de instrucciones.

Predicción dinámica:

- En ejecución se decide donde continuar.
- Los predictores de 1 o 2 bits.

Excepciones:

- Los problemas que traen.
- Las acciones básicas. Manejo
- Tarea del Sistema Operativo.
- Excepciones Precisas.
- Implementación.