Arquitectura del Procesador II

Práctico U2.1 Segmentación

Ejercicio 1: Considerando una arquitectura de 5 etapas para la ejecución de instrucciones, donde las demoras de cada etapa son de 10, 8, 10, 10 y 7 ns, se pide:

1. Para una arquitectura uniciclo, ¿Qué frecuencia podrá alcanzar el reloj?.
2. Para una arquitectura multi-ciclo, ¿Qué frecuencia podrá alcanzar el reloj?.
3. Para una arquitectura segmentada (pipeline), ¿Qué frecuencia podrá alcanzar el reloj?. Considere un incremento de 2ns en cada etapa producido por el uso de los *latches*.
4. Calcular la ganancia (speed-up) de la arquitectura multi-ciclo en comparación con la arquitectura uni-ciclo. Considere para el caso multiciclo que el 60% de las instrucciones poseen un CPI = 3, el 30% un CPI = 4 y un10%un CPI = 5.
5. Calcular la ganancia de la arquitectura segmentada en comparación con la arquitectura uni-ciclo. Para la arquitectura Segmentada no se consideran los ciclos de atascos (stall) dados por los conflictos entre instrucciones.

Ejercicio 2: Analice las principales diferencias y similitudes que existen entre las arquitecturas del MIPS segmentada y uni-ciclo. ¿Cuántos bits posee cada latch de la arquitectura MIPS segmentada?.

Ejercicio 3: Analice para cada tipo de instrucción las principales unidades utilizadas y los caminos seguidos por los datos en la arquitectura MIPS Segmentada. ¿Dónde se generan las señales de control para cada etapa y cómo son administradas en cada una de ellas?.
Muestre los caminos seguidos y las señales de control para cada una de las siguientes instrucciones: ADD, LW, SW, BEQ.

Ejercicio 4: Dado el siguiente código MIPS:

```
lw $t2, 20($t1)
and $s0, $t2, $s1
or $s0, $s0, $t2
sw $s0, 20($t2)
```

Indique, sobre la arquitectura con segmentación, para cada ciclo de ejecución:

1. El valor de la señal de control que comanda el multiplexor que se encuentra en la etapa ID.
2. Los valores de la señales de control generadas por la unidad de forwarding y hazard detection.
3. Los valores que poseen las siguientes señales de control:
   MenRead, MenWrite, RegDest, ALUSrc, ALUOp, MemToReg.
4. El valor que poseen los bits de los campos WB, MEM y EX en cada uno de los latch.

Ejercicio 5: La siguiente secuencia de código es una posible implantación la expresión:

A + B + C + D.

```
lw $t1, A($sp)
lw $t2, B($sp)
add $t3, $t1, $t2
lw $t4, C($sp)
lw $t5, D($sp)
add $t7, $t4, $t5
add $t0, $t3, $t7
```

Para una arquitectura MIPS segmentada:

A. Realizar los diagramas de ciclos de reloj, indicando los conflictos, adelantamientos y atascos que se producen durante la ejecución.
B. Calcule el CPI de esta secuencia de código.
C. Calcule el tiempo de CPU (CPU-time) considerando un reloj de 500Mhz.
D. Reordene las instrucciones con el fin de evitar el mayor numero de atascos.

Ejercicio 6: Dado el siguiente c—digo MIPS:

```
lw $t0, A($zero)
lw $t1, B($zero)
add $t2, $t0, $t1
sw $t2, B($zero)
lw $t1, C($zero)
add $t2, $t0, $t1
sw $t2, C($zero)
```

Realizar los diagramas de ciclos de reloj, indicando los conflictos, adelantamientos y atascos que se producen durante ejecución. ¿Es posible modificar el código con el fin de reducir la cantidad de atascos que se producen en ejecución?.

Ejercicio 7: En este ejercicio se examina cómo la segmentación afecta el tiempo de ciclo de reloj del procesador. Los problemas en este ejercicio asumen que las etapas individuales del camino de datos tiene las siguentes latencias:

IF	ID	EX	MEM	WB
250ps	350ps	150ps	300ps	200ps

También se asume que las instrucciones ejecutadas por el procesador están distribuídas del siguiente modo:

alu	beq	lw	sw
45 %	20 %	20 %	15 %

1. ¿Cuál es tiempo de ciclo de reloj en un procesador segmentado y en uno no segmentado?
2. ¿Cuál es la latencia total de una instrucción LW en un procesador segmentado y en uno no segmentado?
3. Si fuera posible dividir una de las etapas del camino de datos en dos nuevas etapas, cada una con la mitad de la latencia de la original ¿qué etapa dividiría y cuál sería el tiempo de ciclo de reloj para el procesador?
4. Asumiendo que no hay atascos ni riesgos ¿cuál es la utilización de la memoria de datos?
5. Asumiendo que no hay atascos ni riesgos ¿cuál es la utilización del puerto de escritura de la unidad “Registros”?
6. Como alternativa a la organización uni-ciclo, se puede considerar una organización multi-ciclo, donde cada instrucción toma multiples ciclos, pero siempre se cumple que cada instrucción finaliza antes que la siguiente sea recuperada. En esta organización, una instrucción solamente recorre las etapas que efectivamente necesita (p.e. SW toma solamente 4 ciclos porque no necesita la etapa WB). Compare los tiempos de ciclos de reloj y los tiempos de ejecución entre las organizaciones uni-ciclo, multi-ciclo y segmentada.

Ejercicio 8:En este ejercicio se evalúa cómo las dependencias de datos afectan la ejecución en el procesador básico de 5 etapas. Los problemas de este ejercicio se refieren a la siguiente secuencia de instrucciones:

```
or r1,r2,r3
or r2,r1,r4
or r1,r1,r2
```

También se asumen los siguientes tiempos de ciclo para cada una de las opciones relacionadas al adelantamiento:

Sin adelantamiento	Adelantamiento completo	Sólo adelantamiento ALU-ALU
250ps	300ps	290ps

1. Indique las dependencias y el tipo que le corresponde a cada una.
2. Asuma que no hay adelantamiento en este procesador segmentado. Indique los riesgos y agregue las instrucciones no-operación (nop) para eliminarlos.

3. Asuma que hay adelantamiento completo. Indique los riesgos y agregue las instrucciones no-operación (nop) para eliminarlos.
4. ¿Cuál es el tiempo total de ejecución de esta secuencia de instrucciones sin adelantamiento y con adelantamiento completo? ¿Cuál es la aceleración obtenida agregando adelantamiento completo a un procesador sin adelantamiento?
5. Agregue instrucciones nop en este código para eliminar los riesgos si solamente hay adelantamiento ALU-ALU (no hay adelantamiento desde la etapa MEM a EX).
6. ¿Cuál es el tiempo total de ejecución de esta secuencia de instrucciones unicamente con adelantamiento ALU-ALU? ¿Cuál es la aceleración sobre un procesador sin adelantamiento?

Ejercicio 9: En este ejercicio se examina cómo los riesgos de recursos, los riesgos de control y el diseño de la Arquitectura del Conjunto de Instrucciones (en inglés ISA) pueden afectar la ejecución en un procesador segmentado. Los problemas de este ejercicio se refieren al siguiente fragmento de código MIPS:

```
sw r16,12(r6)
lw r16,8(r6)
beq r5,r4,Etiqueta  #Se asume r5!=r4
add r5,r1,r4
slt r5,r5,r4
```

Se asume que las etapas individuales de la segmentación tienen las siguientes latencias:

IF	ID	EX	MEM	WB
200ps	120ps	150ps	190ps	100ps

1. Para este problema asuma que todos los saltos se predicen correctamente (esto elimina todos los riesgos de control) y que no se usa la ranura de demora. Si se dispone solamente de una memoria (tanto para instrucciones como para datos), hay un riesgo estructural cada vez que se intenta recuperar una instrucción en el mismo ciclo que otra instrucción accede a un dato. ¿Cuál es el tiempo total de ejecución de esta secuencia de instrucciones en un procesador de 5 etapas que tiene solamente una memoria? Se ha visto que los riesgos de datos pueden ser se eliminados agregando nop's en el código. ¿Se puede hacer lo mismo con este riesgo estructural? ¿Porqué?
2. Para este problema asuma que todos los saltos se predicen correctamente (esto elimina todos los riesgos de control) y que no se usa la ranura de demora. Si se cambian las operaciones load/store para usar un registro (sin un desplazamiento) como la dirección, estas instrucciones ya no necesitan usar la ALU. Como resultado de eso, las etapas de EX y MEM pueden ser solapadas y la tubería podría tener solamente 4 etapas. Modifique el código para reflejar este cambio en la ISA. Asumiendo que este cambio no afecta el tiempo de ciclo de reloj, ¿que aceleración se logra en esta secuencia de instrucciones?
3. Asumiendo atasco en salto y que no hay ranura de demora, ¿que ganancia se logra en este código si el resultado del salto es determinado en la etapa ID, comparado con la ejecución donde el resultado del salto es determinado en la etapa EX?
4. Con las latencias de cada etapa dadas más arriba, repita el cálculo de aceleración del punto 2 pero tenga en cuenta el posible cambio en el tiempo de ciclo de reloj. Cuando EX y MEM se unen en una única etapa, buena parte del trabajo de la etapa puede ser hecho en paralelo (no todo). Como consecuencia, la etapa EX/MEM resultante tiene una latencia que es mayor que cualquiera de las dos originales, se requieren 20ps más para hacer el trabajo que no puede ser hecho en paralelo.
5. Con las latencias de cada etapa dadas más arriba, repita el cálculo de aceleración del punto 3 pero tenga en cuenta el posible cambio en el tiempo de ciclo de reloj. Asuma que la latencia de la etapa ID incrementa un 50% y que la latencia de la etapa EX decrementa 10ps cuando la resolución de los branches se mueve de EX a ID.
6. Asumiendo atasco-en-branch y sin ranura de demora, ¿cuál es el nuevo tiempo de ciclo de reloj y tiempo de ejecución de esta secuencia de instrucciones si el cálculo de la dirección se corre a la etapa MEM?¿Cuál es la ganancia de este cambio?. Asuma que la latencia de la etapa EX es reducida por 20ps y que la latencia de la etapa MEM se mantiene sin cambios cuando la resolución del salto se muevo de EX a MEM.