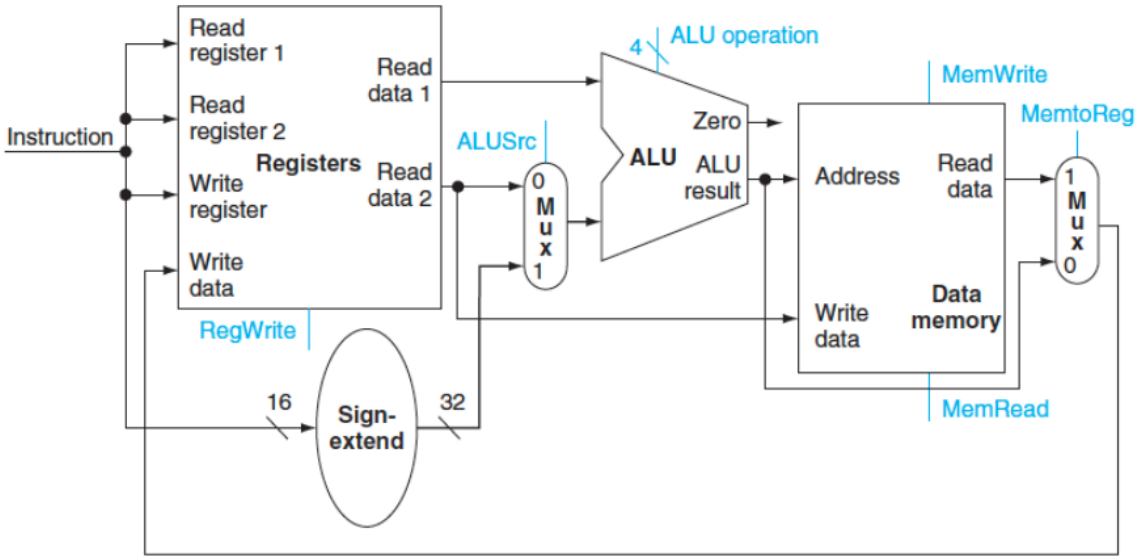
# Arquitectura del Procesador II

## Práctico U1.1c

**Ejercicio 1:** Analice la figura y responda ¿Cuál de las siguientes afirmaciones es verdadera en el caso de la instrucción load?.

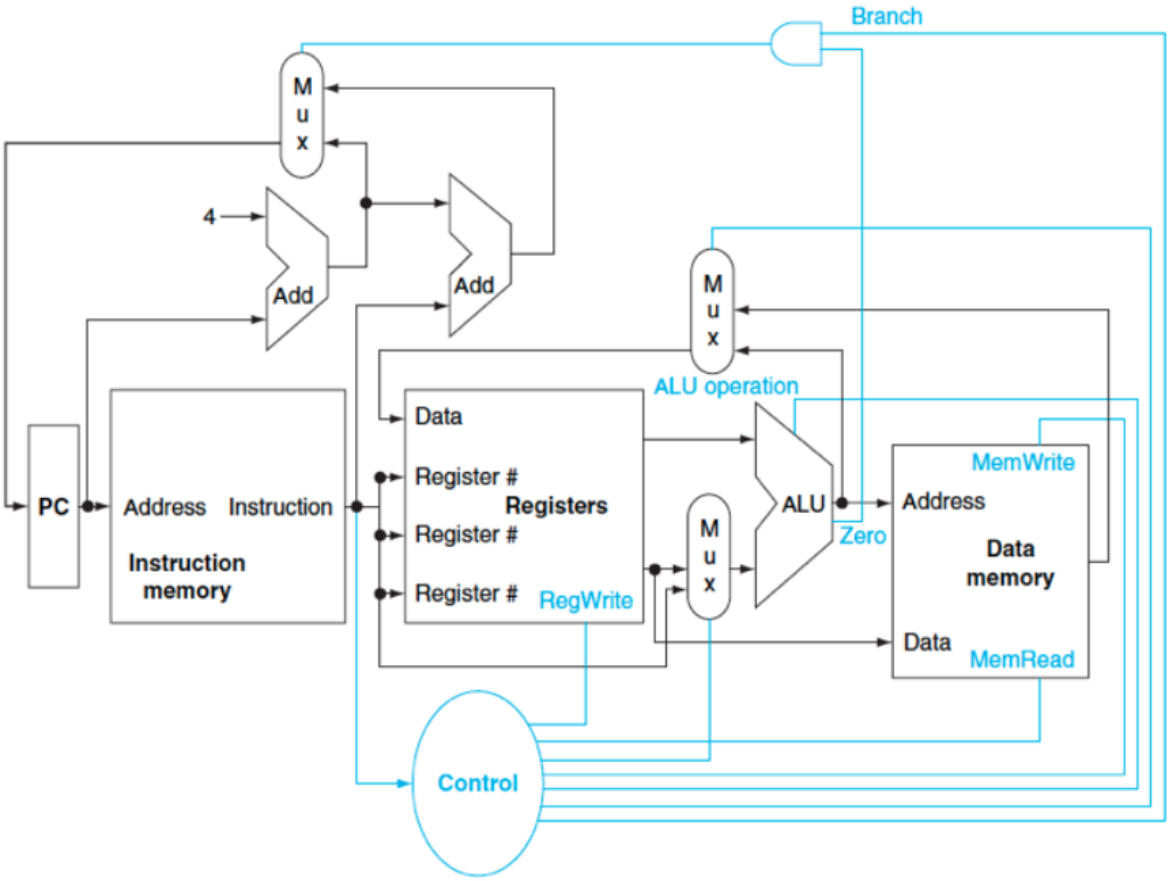



- MemtoReg debería ser 1 porque se enviará al banco de registros la identificación correcta del destino.
- MemtoReg debería ser 1 porque el dato de memoria será enviado al banco de registros.
- No interesa el valor de la señal MemtoReg en las instrucciones de load.

**Ejercicio 2:** El camino de datos del MIPS de un único ciclo que hemos analizado debe tener memoria de datos e instrucciones separadas porque:

- Los formatos de instrucciones y datos son distintos, por lo tanto necesitan memorias distintas.
- Tener memorias separadas es más económico.
- las memorias tienen un único puerto de lectura, por lo tanto no puede atender dos requerimientos en un mismo ciclo.

**Ejercicio 3:** La siguiente figura muestra los 7 bloques principales del MIPS. La latencia de los bloques a lo largo del camino crítico (la latencia más grande) para una instrucción, determinan la latencia mínima para esa instrucción.

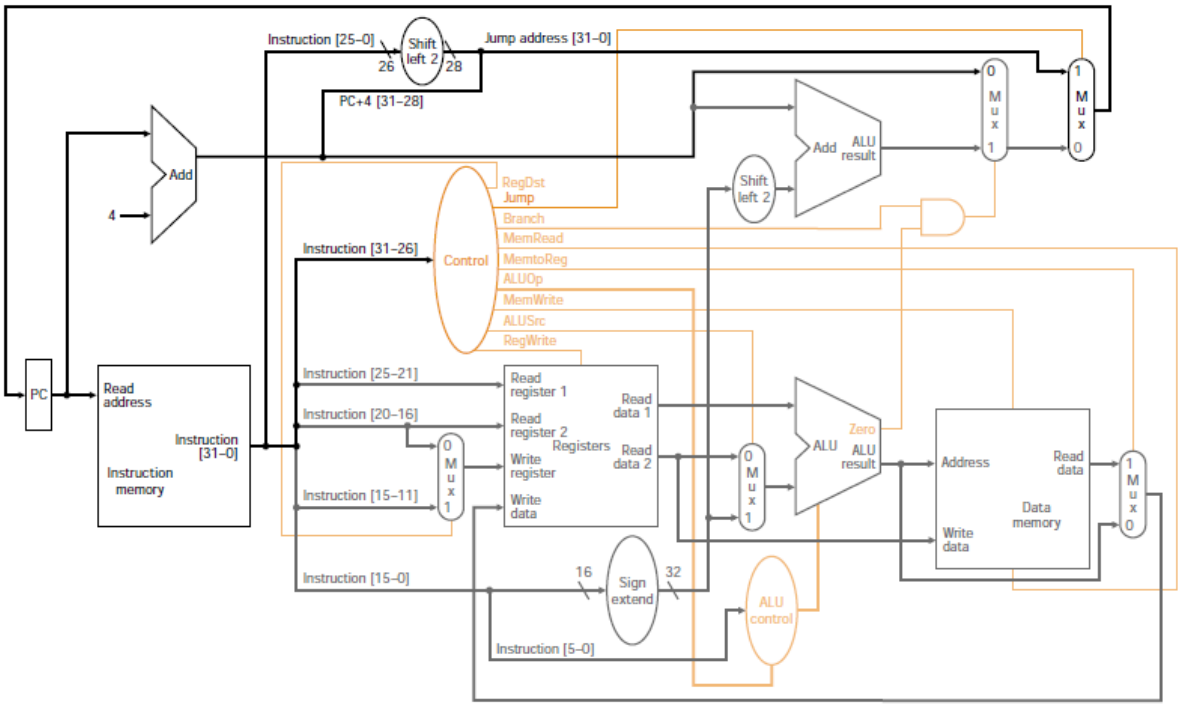



Teniendo en cuenta las siguientes latencias (alternativas (A) y (B)) de los módulos:

| | I-mem | Add | Mux | ALU | Regs | D-mem | Control |
|---|---|---|---|---|---|---|---|
| (A) | 400ns | 100ns | 30ns | 120ns | 200ns | 350ns | 100ns |
| (B) | 500ns | 150ns | 100ns | 180ns | 220ns | 1000ns | 65ns |

- Para las siguientes instrucciones calcule el camino crítico:
  1. Instrucción AND
  2. Instrucción LOAD
  3. instrucción BEQ

- ¿Cuál es la frecuencia de reloj máxima que podría alcanzar cada una de las alternativas planteadas ?

**Ejercicio 4:** Para el siguiente datapath, indique los valores que toman las señales de control para las siguientes instrucciones:

1. Instrucción de jump.
2. Instrucción de branch por igual donde la condición se cumple.
3. Instrucción de branch por igual donde la condición no se cumple.
4. Instrucción de resta tipo R.